

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yuji NAKAMURA

Application No.:

Group Art Unit:

Filed: December 23, 2003

Examiner:

For: BUS BRIDGE CIRCUIT, BUS CONNECTION SYSTEM, AND DATA ERROR
NOTIFICATION METHOD FOR BUS BRIDGE CIRCUIT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-005284

Filed: January 14, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: December 23, 2003

By: 

H. J. Stagg

Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 4 日
Date of Application:

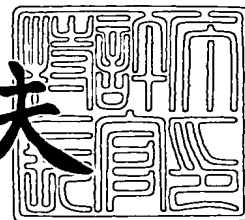
出 願 番 号 特 願 2 0 0 3 - 0 0 5 2 8 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 5 2 8 4]

出 願 人 富士通株式会社
Applicant(s): 株式会社 P F U

2 0 0 3 年 1 0 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0350026

【提出日】 平成15年 1月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/00 301

【発明の名称】 バスブリッジ回路、バス接続システム、及びバスブリッ
ジ回路のデータエラー通知方法

【請求項の数】 5

【発明者】

【住所又は居所】 石川県河北郡宇ノ気町字宇野気ヌ98番地の2 株式会
社ピーエフユー内

【氏名】 中村 裕二

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000136136

【氏名又は名称】 株式会社ピーエフユー

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【選任した代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【手数料の表示】

【予納台帳番号】 030708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【包括委任状番号】 0215696

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バスブリッジ回路、バス接続システム、及びバスブリッジ回路のデータエラー通知方法

【特許請求の範囲】

【請求項 1】 第 2 のデバイスからのリード要求に応じて、第 1 のデバイスにリード要求を発行し、前記第 1 のデバイスから第 1 のバスを介するデータを受け、第 2 のバスを介し前記第 2 のデバイスに転送するバスブリッジ回路において、

前記第 1 のバスのデータと、前記バスブリッジ回路からの前記第 1 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを受け入れ、格納するデータバッファと

、
前記第 2 のデバイスからの前記第 2 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報とから新たなエラー検出情報を生成するエラー検出情報生成回路と、

前記第 2 のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第 2 のバスを介して前記第 2 のデバイスに転送するコントローラとを有する

ことを特徴とするバスブリッジ回路。

【請求項 2】 前記コントローラは、前記第 1 の P C I デバイスのデータをブリフエッチするためのバイトイネーブル信号を前記第 1 の P C I デバイスに送信する

ことを特徴とする請求項 1 のバスブリッジ回路。

【請求項 3】 前記コントローラは、前記第 1 のデバイスへの前記リードリクエストに応じた前記第 1 のデバイスからのレディ信号に応じて、前記バイトイネーブル信号を順次前記第 1 のデバイスに送信し、

且つ前記第 1 のデバイスからのデータを前記データバッファに格納した後、前記第 2 のデバイスにレディ信号を送信し、前記第 2 のデバイスからのバイトイネーブル信号を受信する

ことを特徴とする請求項 1 のバスブリッジ回路。

【請求項 4】 リードリクエストを発生する第 2 のデバイスと、
前記リードリクエストに対するリードデータを出力する第 1 のデバイスと、
前記第 2 のデバイスと第 2 のバスで接続され、前記第 1 のデバイスと第 1 のバスで接続され、前記第 1 のデバイスからの前記第 1 のバスを介するリードデータを、前記第 2 のバスを介し前記第 2 のデバイスに転送するバスブリッジ回路とを有し、

前記第 1 のデバイスは、前記リードデータと、前記ブリッジ回路からの前記第 1 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを前記第 1 のバスに出力し、

前記バスブリッジ回路は、

前記第 1 のバスからの前記リードデータと前記エラー検出情報を受け入れ、格納するデータバッファと、

前記第 2 のデバイスからの前記第 2 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成回路と

前記第 2 のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第 2 のバスを介して前記第 2 のデバイスに転送するコントローラとを有する

ことを特徴とするバス接続システム。

【請求項 5】 第 2 のデバイスからのリード要求に応じて、第 1 のデバイスにリード要求を発行し、前記第 1 のデバイスから第 1 のバスを介するデータを受け、第 2 のバスを介し前記第 2 のデバイスに転送するバスブリッジ回路のデータエラー通知方法において、

前記第 1 のバスのデータと、前記 P C I ブリッジ回路からの前記第 1 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを受け入れ、データバッファに格納す

るステップと、

前記第 2 のデバイスからの前記第 2 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成ステップと、

前記第 2 のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第 2 のバスを介して前記第 2 のデバイスに転送するステップとを有する

ことを特徴とするバスブリッジ回路のデータエラー通知方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、2つのP C Iバス等のバスを接続し、その間のデータ転送を行うバスブリッジ回路、バス接続システム、及びバスブリッジ回路のデータエラー方法に関し、特に、2つのバス間の転送データのパリティエラーを通知するバスブリッジ回路、バス接続システム、及びバスブリッジ回路のデータエラー通知方法に関する。

【 0 0 0 2 】

【従来の技術】

コンピュータシステムでは、各機能デバイスをバスで接続し、種々の機能を実現する。近年のパーソナルコンピュータの普及に伴い、コントローラ等も、パーソナルコンピュータ用に開発された機能デバイスを、ペリフェラル・コンポーネント・インターコネクトバス（P C Iバス）で接続して、構築することが行われている。

【 0 0 0 3 】

一方、異なる機能のデバイスをバス接続する場合に、デバイスとデバイスとの間のバスにブリッジ回路を設けることが有効である。図7は、従来のP C Iバスに接続されたブリッジ回路（P C Iブリッジ回路）の構成図である。

【 0 0 0 4 】

PCIブリッジ回路202は、2つのPCIバス300、400に接続し、PCIバス300に接続されたPCIデバイス200と、PCIバス400に接続されたPCIデバイス204とのデータ転送を行う。PCIブリッジ回路202は、転送データを格納するFIFO (Fast In Fast Out) バッファと、PCIデバイスから見て、ターゲットとしての制御を行い、PCIデバイスから見て、マスタとしての制御を行う制御回路とから構成される。

【0005】

ここで、PCIデバイス200からPCIデバイス204に、リード要求を発生し、PCIデバイス204からPCIデバイス200にデータをリード転送する場合（リードという）には、PCIデバイス200からPCIブリッジ回路202にリードリクエストを発行する。その後、PCIブリッジ回路202からPCIデバイス204にリードリクエストを発行し、1次側PCIバス400を介しPCIデバイス204からデータを、FIFOバッファにプリフェッチする。

【0006】

一方、PCBバスプロトコルでは、CBE (Command Byte Enable) 機能があり、PCIバス幅（例えば、64ビット=8 byte, 32ビット=4 byte）のデータの有効性をバイト単位で指定できる。即ち、PCIバスに接続されるPCIデバイスの必要なデータビット数に応じて、PCIバス幅のデータビットをバイト単位で有効／無効にし、並列転送データから必要な転送データを取得する。

【0007】

このCBE機能では、イニシエータ（マスタ）PCIデバイスから、例えば、32ビット幅のPCIバスであれば、4ビットのCBE信号を発行し、バイト単位のデータの有効／無効を制御する。

【0008】

更に、このCBE信号とリードデータ（AD信号）とを保護するため、リード時は、イニシエータPCIデバイスからターゲットPCIデバイスへ発行するCBE信号とターゲットPCIデバイスの出力するデータの全てのビットとのExclusive-OR (Exclusive-OR) 論理を取り、パリティ信号（1ビット）を生成し、ター

ゲット P C I デバイスに通知する。

【0009】

例えば、図7のP C Iブリッジ202をまたいでリード動作を行う場合には、ターゲット側のP C Iバス400のパリティは、P C Iブリッジ回路202が発行するC B E信号と、P C Iデバイス204のリードデータのE x - O Rで生成され、イニシエータ側のP C Iバス300のパリティは、P C Iデバイス200が発行するC B E信号と、P C Iブリッジ回路202の出力するリードデータのE x - O Rで生成される。

【0010】

ここで、P C Iブリッジ回路202の両側のP C Iバス300、400では、リードデータは、同じ値であるため、両C B E信号が同じであれば、パリティも同じとなり、P C Iブリッジ回路202は、パリティを生成せずに、P C Iデバイス204からの受け取ったパリティ信号をそのままP C Iデバイス200に伝達すれば良い。

【0011】

しかしながら、前述のように、C B E信号を変化できるため、従来は、P C Iブリッジ回路202が、P C Iデバイス200が発行するC B E信号と、P C Iブリッジ回路202の出力するリードデータのE x - O Rで、イニシエータ側のP C Iデバイス200のパリティを生成していた。

【0012】

【発明が解決しようとする課題】

一方、P C Iブリッジ回路202が、P C Iデバイス204からデータをブリフエッチする場合には、イニシエータ側のC B E信号の値を予測できないため、リード時は、P C Iブリッジ回路202からのC B E信号を全て有効（C B Eを全て‘0’）に設定し、イニシエータ側P C Iデバイス200からのC B E信号の各有効ビットのパターンに対応できるようにしている。

【0013】

即ち、P C Iブリッジ回路202の両側でのC B E信号の値が異なる場合がある。このため、P C Iブリッジ回路202が、P C Iデバイス200からリード

要求を受けて、P C I デバイス 204 からプリフェッチしたデータに、パリティエラーがあった場合には、エラーのあるプリフェッチデータと C B E 信号からパリティを生成するため、これを受け取った P C I デバイス 200 が、パリティエラーを認識できないという問題が生じていた。

【0014】

従って、本発明の目的は、バスブリッジ回路がプリフェッチしたデータのデータエラーをイニシエータ側デバイスに通知するためのバスブリッジ回路、バス接続システム及びバスブリッジ回路のデータエラー通知方法を提供することにある。

【0015】

又、本発明の他の目的は、バスブリッジ回路がプリフェッチしたデータに、データエラーがあった場合に、イニシエータ側デバイスが、エラーデータを正しいデータと認識することを防止するためのバスブリッジ回路、バス接続システム及びバスブリッジ回路のデータエラー通知方法を提供することにある。

【0016】

更に、本発明の他の目的は、簡単な構成で、バスブリッジ回路がプリフェッチしたデータのデータエラーをイニシエータ側デバイスに通知するためのバスブリッジ回路、バス接続システム及びバスブリッジ回路のデータエラー通知方法を提供することにある。

【0017】

【課題を解決するための手段】

この目的の達成のため、本発明のバスブリッジ回路は、第2のデバイスからのリード要求に応じて、第1のデバイスにリード要求を発行し、前記第1のデバイスから第1のバスを介するデータを受け、第2のバスを介し前記第2のデバイスに転送するバスブリッジ回路であって、前記第1のバスのデータと、前記バスブリッジ回路からの前記第1のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを受け入れ、格納するデータバッファと、前記第2のデバイスからの前記第2のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信

号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成回路と、前記第2のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第2のバスを介して前記第2のデバイスに転送するコントローラとを有する。

【0018】

又、本発明のバス接続システムは、リードリクエストを発生する第2のデバイスと、前記リードリクエストに対するリードデータを出力する第1のデバイスと、前記第2のデバイスと第2のバスで接続され、前記第1のデバイスと第1のバスで接続され、前記第1のデバイスからの前記第1のバスを介するリードデータを、前記第2のバスを介し前記第2のデバイスに転送するバスブリッジ回路とを有し、前記第1のデバイスは、前記リードデータと、前記バスブリッジ回路からの前記第1のバスの並列データの所定ビット数単位にイネーブルを指示する前記バイトイネーブル信号と前記データから生成したエラー検出情報とを前記第1のバスに出力し、前記バスブリッジ回路は、前記第1のバスからの前記リードデータと前記エラー検出情報を受け入れ、格納するデータバッファと、前記第2のデバイスからの前記第2のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成回路と、前記第2のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第2のバスを介して前記第2のデバイスに転送するコントローラとを有する。

【0019】

又、本発明のバスブリッジ回路のデータエラー通知方法は、第2のデバイスからのリード要求に応じて、第1のデバイスにリード要求を発行し、前記第1のデバイスから第1のバスを介するデータを受け、第2のバスを介し前記第2のデバイスに転送するバスブリッジ回路のデータエラー通知方法であって、前記第1のバスのデータと、前記バスブリッジ回路からの前記第1のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから

生成したエラー検出情報とを受け入れ、データバッファに格納するステップと、前記第2のデバイスからの前記第2のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成ステップと、前記第2のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第2のバスを介して前記第2のデバイスに転送するステップとを有する。

【0020】

本発明では、第1のデバイスで生成されたエラー検出情報と、第2のデバイスからの第1のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号から新たなエラー検出情報を生成し、リードデータとともに第2のデバイスに転送するので、1次側と2次側のバスで、バイトエネーブルの値が異なっても、2次側バスのデータエラー（パリティエラー）を正しく、1次側バスへ伝達できる。又、簡単な回路の付加で実現でき、容易に且つ低コストでかかる機能を実現できる。

【0021】

更に、本発明では、好ましくは、前記コントローラは、前記第1のデバイスのデータをプリフェッチするための前記バイトイネーブル信号を前記第1のデバイスに送信する。このため、第2のデバイスのバイトイネーブルの変更に対応できる。

【0022】

更に、本発明では、好ましくは、前記エラー検出情報生成回路は、前記第2のデバイスからの前記バイトイネーブル信号と前記データバッファに受け入れたパリティビットとのE_x-ORを取るE_X-OR回路で構成された。これにより、簡単な回路で新たなパリティビットを生成できる。

【0023】

更に、本発明では、好ましくは、前記コントローラは、前記第1のデバイスへの前記リードリクエストに応じた前記第1のデバイスからのレディ信号に応じて、前記バイトイネーブル信号を順次前記第1のデバイスに送信し、且つ前記第1

のデバイスからのデータを前記データバッファに格納した後、前記第2のデバイスにレディ信号を送信し、前記第2のデバイスからのバイトイネーブル信号を受信する。これにより、P C I プロトコルを変更せずに、パリティを正しく通知できる。

【0024】

更に、本発明では、好ましくは、前記データバッファが、F I F O バッファで構成されたことにより、パリティビット等のデータエラーを含む転送制御が容易となる。

【0025】

【発明の実施の形態】

以下、本発明の実施の形態を、P C I バス接続システム、P C I ブリッジ回路、他の実施の形態の順で説明する。

【0026】

[P C I バス接続システム]

図1は、本発明の一実施の形態のP C I バス接続システムの構成図であり、図2は、図1のP C I 接続システムをコントローラに使用したストレージシステムの構成図である。図2は、磁気ディスクを使用したR A I D (Redundant Arrays of Inexpensive Disk) システムを示す。

【0027】

図2に示すように、ストレージシステムは、一対の磁気ディスクコントローラ(以下、コントローラという)1、2と、この一対のコントローラ1、2にライン11、12で接続された多数の磁気ディスク装置50-1～50-m、52-1～52-nとからなる。

【0028】

コントローラ1、2は、直接又はネットワーク機器を介し、ホストやサーバーに接続され、ホストやサーバーの大量のデータを、R A I D ディスクドライブ(磁気ディスク装置)へ高速かつ、ランダムに読み書きが出来るシステムである。

【0029】

一対のコントローラ1、2は、同一の構成を有し、C A (Channel Adapter) 1

1、12、21、22と、CM (Centralized Module) 10、15～19、20、25～29と、DA (Device Adapter) 13、14、23、24のファンクションモジュールによって構成されている。

【0030】

CA (Channel Adapter) 11、12、21、22は、ホストを結ぶホスト・インタフェースの制御をつかさどる回路であり、後述するように、ファイバーチャネルコントローラ等で構成される。DA (Device Adapter) 13、14、23、24は、ディスクデバイス50-1～50-m、52-1～52-mを制御するため、ディスクデバイスとコマンド、データのやり取りを行う回路であり、例えば、ファイバーチャネル回路 (FC) とDMA回路等で構成される。

【0031】

CM (Centralized Module) は、CPU 10、20と、ブリッジ回路17、27と、メモリ (RAM) 15、25と、コンパクトフラッシュメモリ16、26と、IOブリッジ回路18、28と、一対のBIOSフラッシュメモリ32、33、42、43とを有する。

【0032】

更に、CMは、RSP (Remote Service Processor) 34、44と、外部接続用LANポート36、46とを有する。メモリ15、25は、バッテリーでバックアップされ、主記憶として使用される。

【0033】

CPU 10、20は、ブリッジ回路17、27を介し、メモリ15、25、コンパクトフラッシュメモリ16、26、IOブリッジ回路18、28に接続される。このメモリ15、25は、CPU 10、20のワーク領域やキャッシュ領域に使用され、コンパクトフラッシュメモリ19、29は、CPU 10、20が実行するプログラムを格納する。このプログラムとして、カーネル、ファイルアクセスプログラム (リード/ライトプログラム)、RAID管理プログラム等を格納する。

【0034】

BIOSフラッシュメモリ32、33、42、43は、冗長構成のため、一対

設けられ、一方が稼動、他方が待機に使用され、BIOSを格納する。CPU10, 20は、このプログラムを実行し、リード/ライト処理、RAID管理処理等を実行する。

【0035】

PCIバス35、45は、ブリッジ回路17, 27を介し、CPU10, 20と、コンパクトフラッシュメモリ15, 25、一対のBIOSフラッシュメモリ32, 33, 42, 43、RSP34, 44, LANポート36, 46とを接続する。

【0036】

RSP34, 44は、各種の状態管理やリモートサービスを行うプロセッサで構成される。LANポート36, 46は、外部のLAN (Local Area Network) と接続するためのものである。

【0037】

PCI (Peripheral Component Interconnect) バス31は、CA11, 12, 21, 22と、DA13, 14, 23, 24とを接続するとともに、IOブリッジ回路18, 28を介し、CPU10, 20、メモリ15, 25を接続する。更に、PCIバス31には、PCI-ノードリンクブリッジ (PNB) 回路30, 40が接続される。

【0038】

コントローラ1のPCI-ノードリンクブリッジ回路30は、コントローラ2のPCI-ノードリンクブリッジ回路40と接続され、コントローラ1, 2間のコマンド、データの交信を行う。

【0039】

コントローラ1は、例えば、ディスク装置50-1~50-mを担当し、コントローラ2は、例えば、ディスク装置52-1~52-nを担当する。図2では、ディスク装置50-1~50-mと、52-1~52-nとが、RAID5の構成を有する。

【0040】

図1は、コントローラ1の構成のみを詳細に示し、図2で示したものと同一の

ものは、同一の記号で示してある。尚、コントローラ 2 も同一の構成である。図 1 において、CA11, 12 は、各々 PCI ブリッジ回路 7 と、PCI バス 9 と、PCI デバイスである FCC (ファイバーチャネルコントローラ) 8 で構成される。

【0041】

即ち、CA11, 12 は、IO ブリッジ回路 (PCI デバイス) 18 と第 1 の PCI バス 31 を介し接続される PCI ブリッジ回路 7 と、FCC (PCI デバイス) 8 と、PCI ブリッジ回路 7 と FCC 8 を接続する第 2 の PCI バス 9 とで構成される。この第 1 の PCI バス 31 には、前述の PNB30, DA13, 14 が接続される。

【0042】

即ち、入出力系システムのバスとなり、IO ブリッジ回路 18 で、データ処理系システム (CPU10, メモリ 15、32, 33, 16 等) と入出力系システムとを接続する。この PCI ブリッジ回路 7 は、図 3 以下にて後述するように、ストレージシステムのデータには、CRC (Cyclic Redundancy Code) が付加され、ホストからのデータに CRC が付加されないため、ホストからのデータには、CRC を付加し、ホストへのデータには、CRC を削除するものである。尚、ブリッジ回路 37 は、PCI バス 35 に、異なる性質のメモリであるフラッシュメモリ 32, 33 と、コンパクトフラッシュメモリ 16 とを接続するブリッジである。

【0043】

[PCI ブリッジ回路]

次に、PCI ブリッジ回路を説明する。図 3 は、PCI ブリッジ回路のブロック図、図 4 は、PCI ブリッジ回路を介するデータ転送動作のタイムチャート図、図 5 は、そのパリティ付与例の説明図、図 6 は、図 3 のパリティ生成動作の説明図である。

【0044】

図 3 に示すように、IO ブリッジ回路 (PCI デバイス) 18 は、第 1 の PCI バス 31 により PCI ブリッジ回路 7 に接続し、PCI ブリッジ回路 7 は、第

2のPCIバス9によりFCC（PCIデバイス）8に接続する。FCC8には、一対のFCトランシーバー80、82が設けられる。FCトランシーバー80、82に、FC（ファイバーチャネル）ループが接続され、ホストやネットワークと接続する。

【0045】

PCIブリッジ回路7は、PCIデバイス8からの第2のPCIバス9のホストデータ（転送データ）を格納し、PCIデバイス18に転送するS-P（Secondary-Primary）FIFO（Fast In Fast Out）77と、PCIデバイス18からの第1のPCIバス31の記憶データ（転送データ）を格納し、PCIデバイス8に転送するP-S（Primary-Secondary）FIFO78を有する。

【0046】

PCIブリッジ回路7は、更に、第2のPCIバス9のホストデータを受け、CRCを作成し、ホストデータに付加するCRC生成回路74と、P-SFIFO78から第2のPCIバス9へ出力する記憶データのCRCチェックを行い、CRCを削除するCRCチェック回路76と、CBE信号、レディ信号に応じて、FIFO77、78、CRC生成回路74、CRCチェック回路76を制御するコントローラ70とを有する。

【0047】

PCIデバイス18は、32ビットのリードデータと、PCIブリッジ回路7からのCBE信号の各ビットとのEx-ORを取り、PCIバス31のパリティ信号を生成するパリティ生成回路180を有する。又、コントローラ70は、PCIデバイス18から受け取ったパリティ信号と、PCIデバイス8からのCBE信号の各ビットとのEx-ORを取り、PCIバス9のパリティ信号を生成するパリティ生成回路72を有する。

【0048】

図4乃至図6により、図3の構成の動作を説明する。イニシエータ側PCIデバイス8は、PCIブリッジ回路7にリードリクエストを発行した後、PCIブリッジ回路7は、PCIバスプロトコルに従い、内部処理を行い、バス使用権を獲得し、ターゲット（コンプリメンタリー）側PCIデバイス18とデータ転送

状態を確立し、リードリクエストを P C I デバイス 18 に発行する。

【0049】

コンプリメンタリー側 P C I デバイス 19 は、リードデータの転送の用意ができると、P C I ブリッジ回路 7 にレディ信号を返す。P C I ブリッジ回路 7 は、これにより、C B E 信号（全ビット ‘0’ ）を P C I デバイス 19 に送信する。これに応じて、P C I デバイス 19 は、32 ビットのリードデータ 1 と、パリティ生成回路 180 で生成したパリティビット P を、P C I ブリッジ回路 7 に出力する。

【0050】

以降、P C I ブリッジ回路 7 からの C B E 信号（全ビット ‘0’ ）に応じて、P C I デバイス 19 は、32 ビットのリードデータ 2、3、…と、パリティ生成回路 180 で生成したパリティビット P を、P C I ブリッジ回路 7 に出力する。

【0051】

一方、P C I ブリッジ回路 7 は、出力されたリードデータとパリティビットを、F I F O バッファ 78 に格納し、少なくとも、32 ビットのリードデータとパリティビットを格納し終わると、イニシエータ側の P C I デバイス 8 に、レディ信号を送る。

【0052】

P C I デバイス 8 は、これにより、C B E 信号（例えば、‘1000’）を P C I ブリッジ回路 7 に送信する。これに応じて、P C I ブリッジ回路 7 は、F I F O バッファ 78 の 32 ビットのリードデータ 1 と、パリティ生成回路 72 で生成したパリティビット P ‘を、P C I デバイス 8 に出力する。

【0053】

以降、P C I デバイス 8 からの C B E 信号（‘1000’）に応じて、P C I ブリッジ回路 7 は、32 ビットのリードデータ 2、3、…と、パリティ生成回路 72 で生成したパリティビット P ‘を、P C I デバイス 8 に出力する。

【0054】

図 6 に示すように、P C I デバイス 18 からのパリティビットは、32 ビットのリードデータと、P C I ブリッジ回路 7 からの C B E 信号との E x - O R であ

る。即ち、パリティビットPは、32ビットのリードデータとCBE信号の‘1’の数が、奇数なら‘1’、偶数なら‘0’である。

【0055】

一方、PCIブリッジ回路7からのパリティビットP‘は、PCIデバイス18からのパリティビットPと、PCIデバイス8からのCBE信号とのEx-ORである。即ち、パリティビットP’は、パリティビットPとCBE信号の‘1’の数が、奇数なら‘1’、偶数なら‘0’である。

【0056】

即ち、図5に示すように、コンプリメンター側バス31では、CBE信号が、‘0000’であるため、パリティビットPは、リードデータの‘1’の数で決定される。一方、イニシエータ側バス9では、パリティビットP‘は、パリティビットPとCBE信号との‘1’の数で決定される。

【0057】

従って、図5の正常時に示すように、リードデータに1ビットエラーが無い時は、パリティビットP‘は、32ビットのリードデータとPCIデバイス8からのCBE信号との‘1’の数が、奇数なら‘1’、偶数なら‘0’となる。

【0058】

同様に、図5のパリティエラー時に示すように、リードデータに1ビットエラーがある時は、パリティビットP‘は、32ビットのエラーリードデータとPCIデバイス8からのCBE信号との‘1’の数が、奇数なら‘1’、偶数なら‘0’となる。

【0059】

即ち、PCIデバイス18からのリードデータにパリティエラーがあると、リードデータにパリティエラーがあることをパリティビットP‘に反映し、PCIデバイス18に伝達される。同様に、PCIデバイス18からのリードデータにパリティエラーが無いと、リードデータにパリティエラーが無いことをパリティビットP‘に反映し、PCIデバイス18に伝達される。

【0060】

このようにして、1次側と2次側のバスで、バイトエネーブルの値が異なって

も、2次側バス31のパリティエラーを正しく、1次側バス9へ伝達できる。又、簡単な回路の付加で実現でき、容易に且つ低コストでかかる機能を実現できる。

【0061】

[他の実施の形態]

前述の実施の形態では、図2のような冗長構成のRAIDストレージシステムのコントローラで説明したが、他のコントローラやデータ処理装置のPCIバス接続システムに適用でき、ストレージシステムの物理ディスクは、磁気ディスク、光ディスク、光磁気ディスク、各種のストレージデバイスを適用できる。

【0062】

又、PCIデバイス8からのCBE信号を‘1000’で説明したが、他のビットパターンでも同様に動作する。更に、PCIデバイス8からPCIデバイス18へのリード要求のリード転送で説明したが、逆に、PCIデバイス18からPCIデバイス8へのリード要求のデータ転送でも適用でき、PCIデバイス18は、IOブリッジ回路に限らず、他のPCIデバイスであっても良い。尚、PCIバスとは、ペリフェラル・コンポーネント・インターコネクトバスの他に、他のコンピュータバスを含む。

【0063】

以上、本発明を実施の形態により説明したが、本発明の趣旨の範囲内において、本発明は、種々の変形が可能であり、本発明の範囲からこれらを排除するものではない。

【0064】

(付記1) 第2のデバイスからのリード要求に応じて、第1のデバイスにリード要求を発行し、前記第1のデバイスから第1のバスを介するデータを受け、第2のバスを介し前記第2のデバイスに転送するバスブリッジ回路において、前記第1のバスのデータと、前記バスブリッジ回路からの前記第1のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを受け入れ、格納するデータバッファと、前記第2のデバイスからの前記第2のバスの並列データの所定ビット数単位にイネー

ブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報とから新たなエラー検出情報を生成するエラー検出情報生成回路と、前記第2のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第2のバスを介して前記第2のデバイスに転送するコントローラとを有することを特徴とするバスブリッジ回路。

【0065】

(付記2) 前記コントローラは、前記第1のデバイスのデータをプリフェッチするための前記バイトイネーブル信号を前記第1のデバイスに送信することを特徴とする付記1のバスブリッジ回路。

【0066】

(付記3) 前記エラー検出情報生成回路は、前記第2のデバイスからの前記バイトイネーブル信号と前記データバッファに受け入れたパリティビットとのE_x-ORを取るE_x-OR回路で構成されたことを特徴とする付記1のバスブリッジ回路。

【0067】

(付記4) 前記コントローラは、前記第1のデバイスへの前記リードリクエストに応じた前記第1のデバイスからのレディ信号に応じて、前記バイトイネーブル信号を順次前記第1のデバイスに送信し、且つ前記第1のデバイスからのデータを前記データバッファに格納した後、前記第2のデバイスにレディ信号を送信し、前記第2のデバイスからのバイトイネーブル信号を受信することを特徴とする付記1のバスブリッジ回路。

【0068】

(付記5) 前記データバッファが、FIFOバッファで構成されたことを特徴とする付記1のバスブリッジ回路。

【0069】

(付記6) リードリクエストを発生する第2のデバイスと、前記リードリクエストに対するリードデータを出力する第1のデバイスと、前記第2のデバイスと第2のバスで接続され、前記第1のデバイスと第1のバスで接続され、前記第1のデバイスからの前記第1のバスを介するリードデータを、前記第2のバスを介

し前記第2のデバイスに転送するバスブリッジ回路とを有し、前記第1のデバイスは、前記リードデータと、前記バスブリッジ回路からの前記第1のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを前記第1のバスに出力し、前記バスブリッジ回路は、前記第1のバスからの前記リードデータと前記エラー検出情報を受け入れ、格納するデータバッファと、前記第2のデバイスからの前記第2のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成回路と、前記第2のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第2のバスを介して前記第2のデバイスに転送するコントローラとを有することを特徴とするバス接続システム。

【0070】

(付記7) 前記コントローラは、前記第1のデバイスのデータをプリフェッチするための前記バイトイネーブル信号を前記第1のデバイスに送信することを特徴とする付記6のバス接続システム。

【0071】

(付記8) 前記エラー検出情報生成回路は、前記第2のデバイスからのバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報とのE_x-O_Rを取るE_X-O_R回路で構成され、前記第1のデバイスは、前記バスブリッジ回路からの前記バイトイネーブル信号と前記リードデータから前記エラー検出情報を生成するE_X-O_R回路を有することを特徴とする付記6のバス接続システム。

【0072】

(付記9) 前記コントローラは、前記第1のデバイスへの前記リードリクエストに応じた前記第1のデバイスからのレディ信号に応じて、前記バイトイネーブル信号を順次前記第1のデバイスに送信し、且つ前記第1のデバイスからのデータを前記データバッファに格納した後、前記第2のデバイスにレディ信号を送信し、前記第2のデバイスからのバイトイネーブル信号を受信することを特徴とす

る付記 6 のバス接続システム。

【0073】

(付記 10) 前記データバッファが、FIFO バッファで構成されたことを特徴とする付記 6 のバス接続システム。

【0074】

(付記 11) 第 2 のデバイスからのリード要求に応じて、第 1 のデバイスにリード要求を発行し、前記第 1 のデバイスから第 1 のバスを介するデータを受け、第 2 のバスを介し前記第 2 のデバイスに転送するバスブリッジ回路のデータエラー通知方法において、前記第 1 のバスのデータと、前記ブリッジ回路からの前記第 1 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データから生成したエラー検出情報とを受け入れ、データバッファに格納するステップと、前記第 2 のデバイスからの前記第 2 のバスの並列データの所定ビット数単位にイネーブルを指示するバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報から新たなエラー検出情報を生成するエラー検出情報生成ステップと、前記第 2 のデバイスの前記バイトイネーブル信号に応じて、前記データバッファのデータと、前記新たなエラー検出情報を、前記第 2 のバスを介して前記第 2 のデバイスに転送するステップとを有することを特徴とするバスブリッジ回路のデータエラー通知方法。

【0075】

(付記 12) 前記第 1 のデバイスのデータをプリフェッチするための前記バイトイネーブル信号を前記第 1 のデバイスに送信するステップを更に有することを特徴とする付記 11 のバスブリッジ回路のデータエラー通知方法。

【0076】

(付記 13) 前記エラー検出情報生成ステップは、前記第 2 のデバイスからのバイトイネーブル信号と前記データバッファに受け入れたエラー検出情報との XOR を取るステップからなることを特徴とする付記 11 のバスブリッジ回路のデータエラー通知方法。

【0077】

(付記 14) 前記第 1 のデバイスへの前記リードリクエストに応じた前記第 1

のデバイスからのレディ信号に応じて、前記バイトイネーブル信号を順次前記第 1 のデバイスに送信するステップと、前記第 1 のデバイスからのデータを前記データバッファに格納した後、前記第 2 のデバイスにレディ信号を送信し、前記第 2 のデバイスからのバイトイネーブル信号を受信するステップとを更に有することを特徴とする付記 11 のバスブリッジ回路のデータエラー通知方法。

【0078】

(付記 15) 前記格納ステップは、データバッファである F I F O バッファに前記リードデータとエラー検出情報を格納するステップからなることを特徴とする付記 11 のバスブリッジ回路のデータエラー通知方法。

【0079】

【発明の効果】

このように、本発明では、第 1 のデバイスで生成されたエラー検出情報と、第 2 のデバイスからのバイトイネーブル信号から新たなエラー検出情報を生成し、リードデータとともに第 2 のデバイスに転送するので、1 次側と 2 次側のバスで、バイトイネーブルの値が異なっても、2 次側バスのパリティエラー等のエラー検出情報を正しく、1 次側バスへ伝達できる。又、簡単な回路の付加で実現でき、容易に且つ低コストでかかる機能を実現できる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態の P C I バス接続システムのブロック図である。

【図 2】

図 1 の構成を適用したストレージシステムの構成図である。

【図 3】

図 1 の P C I ブリッジ回路の構成図である。

【図 4】

図 3 の P C I ブリッジ回路のデータ転送動作のタイムチャート図である。

【図 5】

図 3 のパリティ生成処理例の説明図である。

【図 6】

図 3 のパリティ生成動作の説明図である。

【図 7】

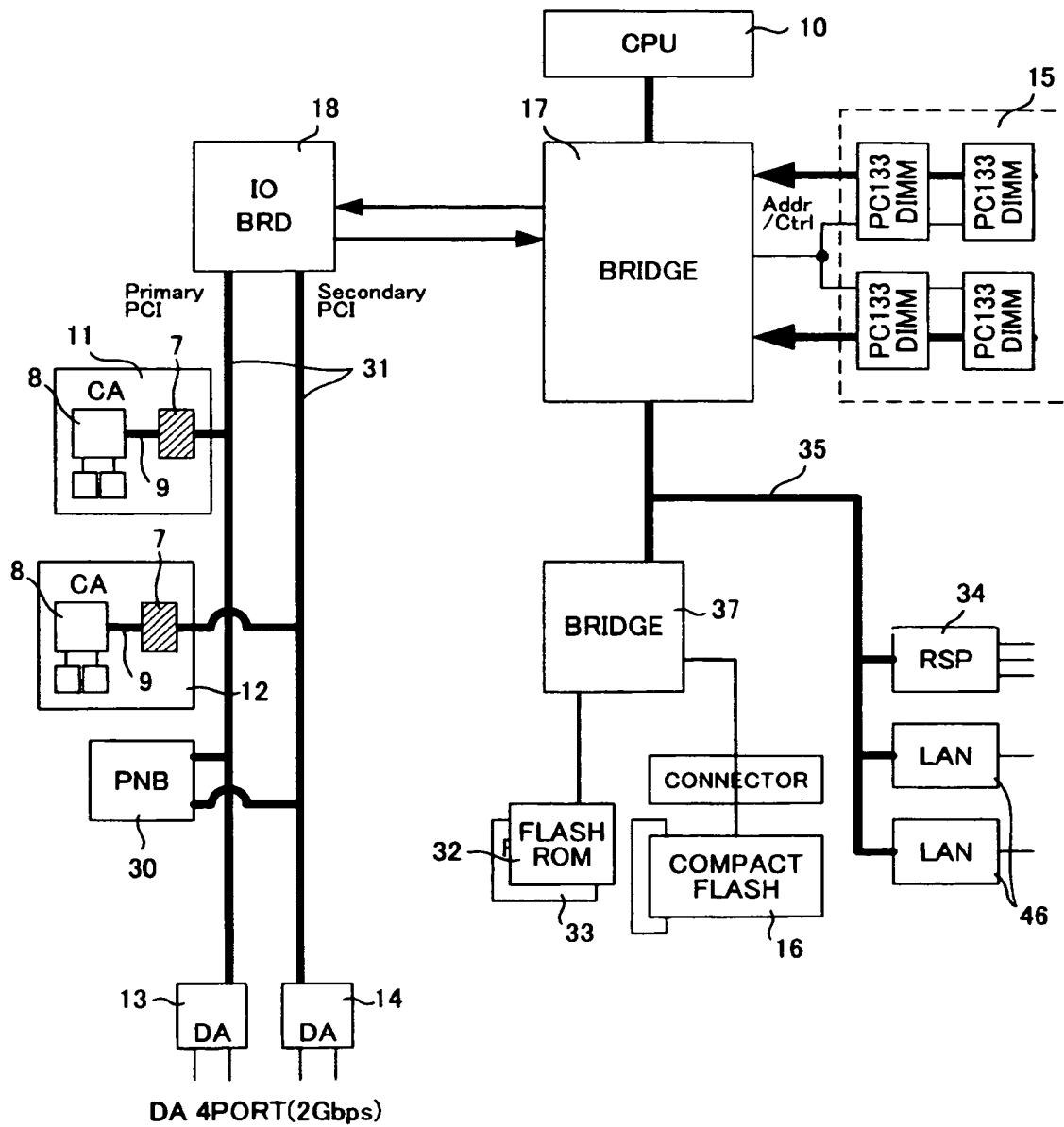
従来の P C I ブリッジ回路の説明図である。

【符号の説明】

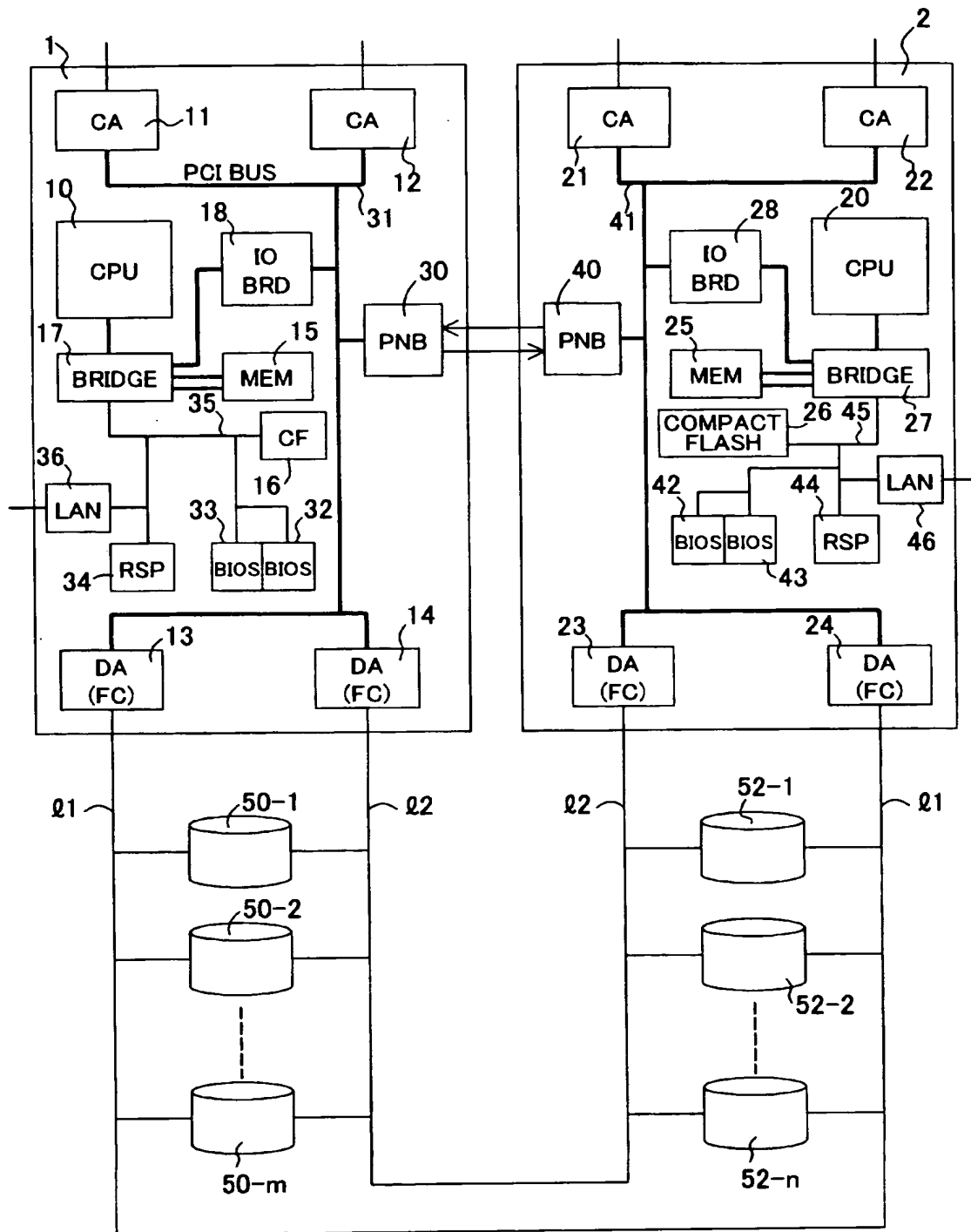
- 1、2 ストレージコントローラ
- 7 P C I ブリッジ回路
- 8 P C I デバイス (F C C)
- 9 第 2 の P C I バス
- 11、12、21、23 チャンネルアダプター
- 13、14、23、24 デバイスアダプター
- 10、20 C P U
- 15、25 メモリ
- 16、26 プログラムメモリ
- 18、28 第 1 の P C I デバイス (I O ブリッジ回路)
- 30、40 P C I - ノードブリッジ回路
- 31、41 第 1 の P C I バス
- 70 コントローラ
- 72 パリティ生成回路
- 77、78 F I F O バッファ
- 50-1 ~ 50-m、52-1 ~ 52-n 物理ディスク装置 (ストレージ装置)
- 180 パリティ生成回路

【書類名】 図面

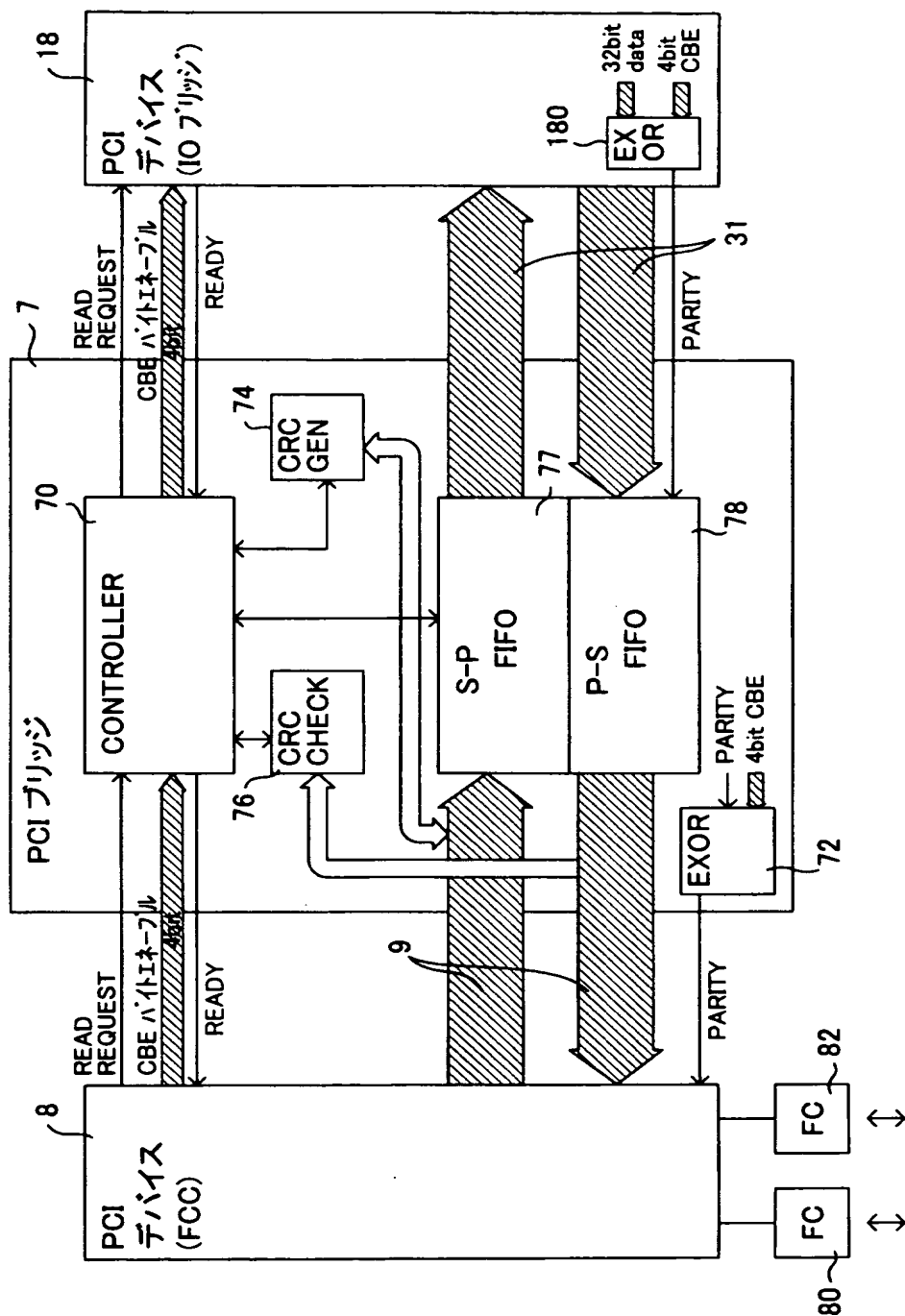
【図 1】



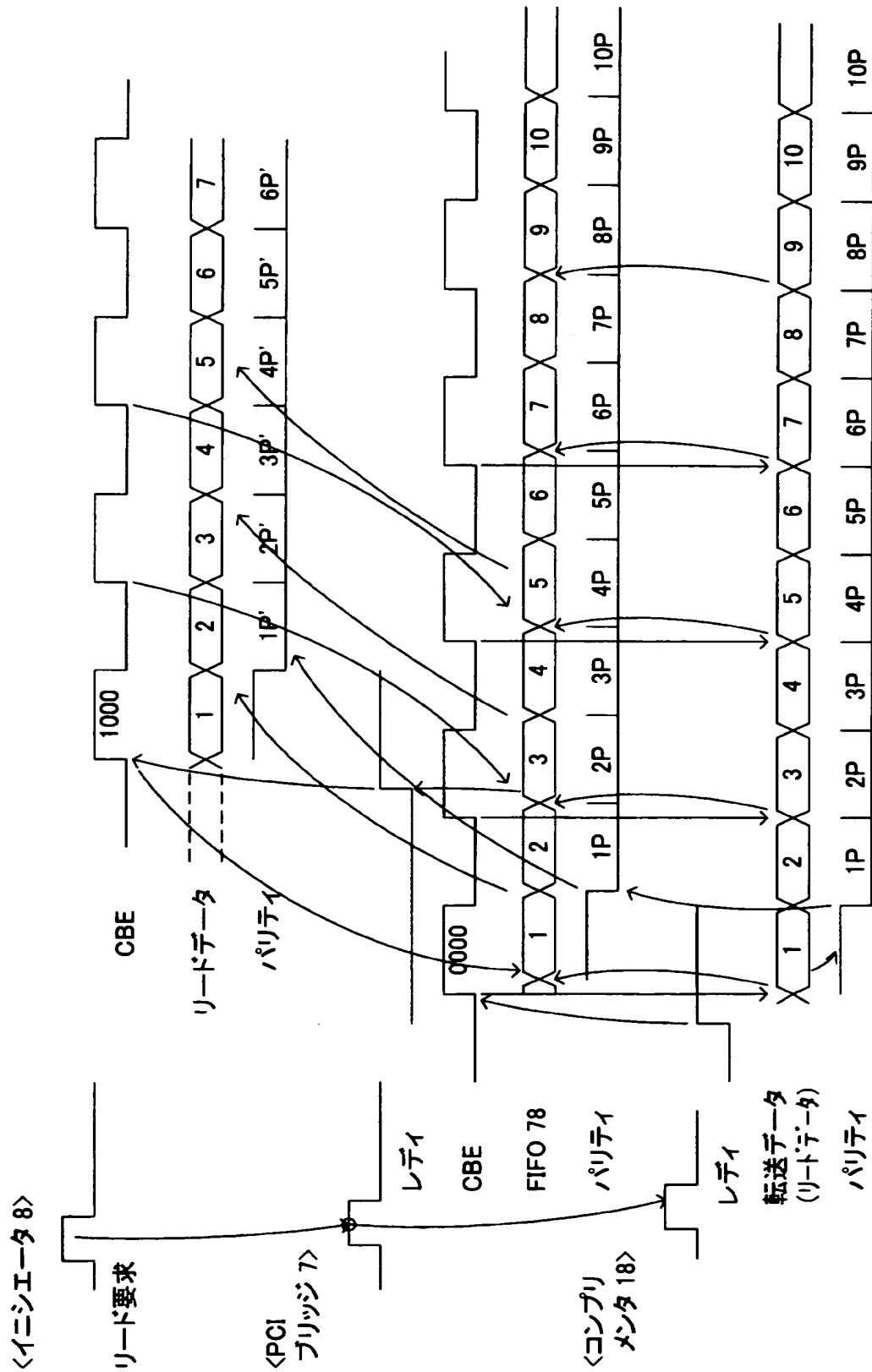
【図 2】



【図 3】



【図 4】



【図 5】

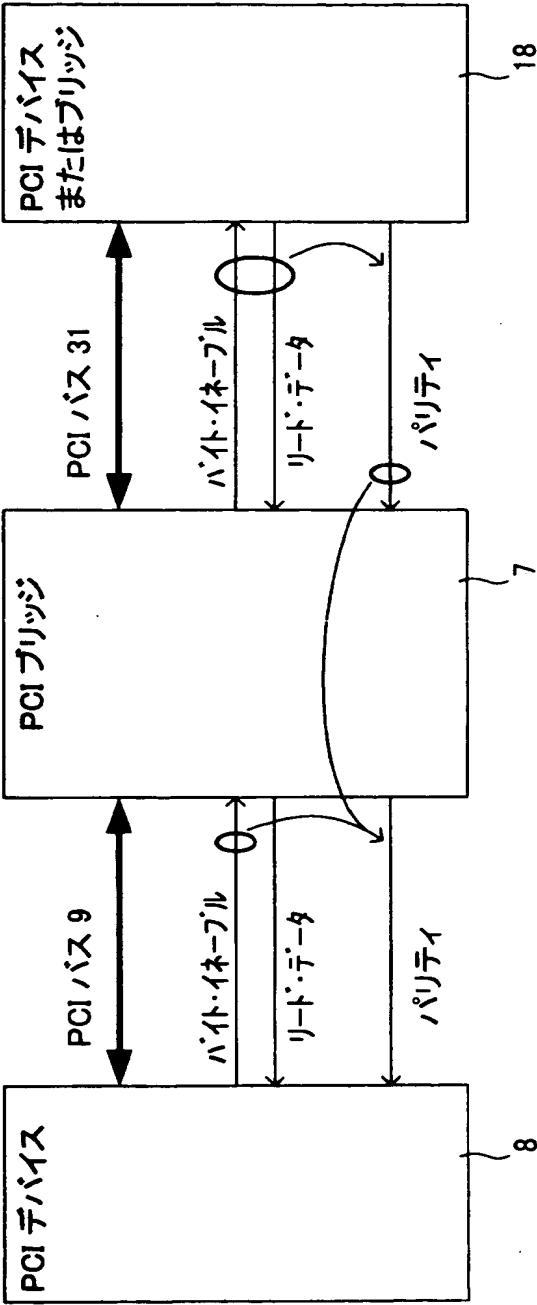
(1) 正常時

	イニシエータ側バス	コンプリーター側バス	備考
リード・データ (AD)	0x0000_0000 (32bits)	0x0000_0000 (32bits)	コンプリーター側からイニシエータ側へそのまま伝える。
バイト・イネーブル (CBE)	1000 (4bits) (A)	0000 (4bits)	コンプリーター側は PCI ブリッジの作りにより常に全て '0'。イニシエータ側の値は予想できない。
パリティ (PAR)	1 (1bits) (C)	0 (1bits) (B)	コンプリーター側のパリティ(C)、イニシエータ側のバイト・イネーブル(A)とコンプリーター側のパリティ(B)の全てのビットの Exclusive OR で正しく生成される。

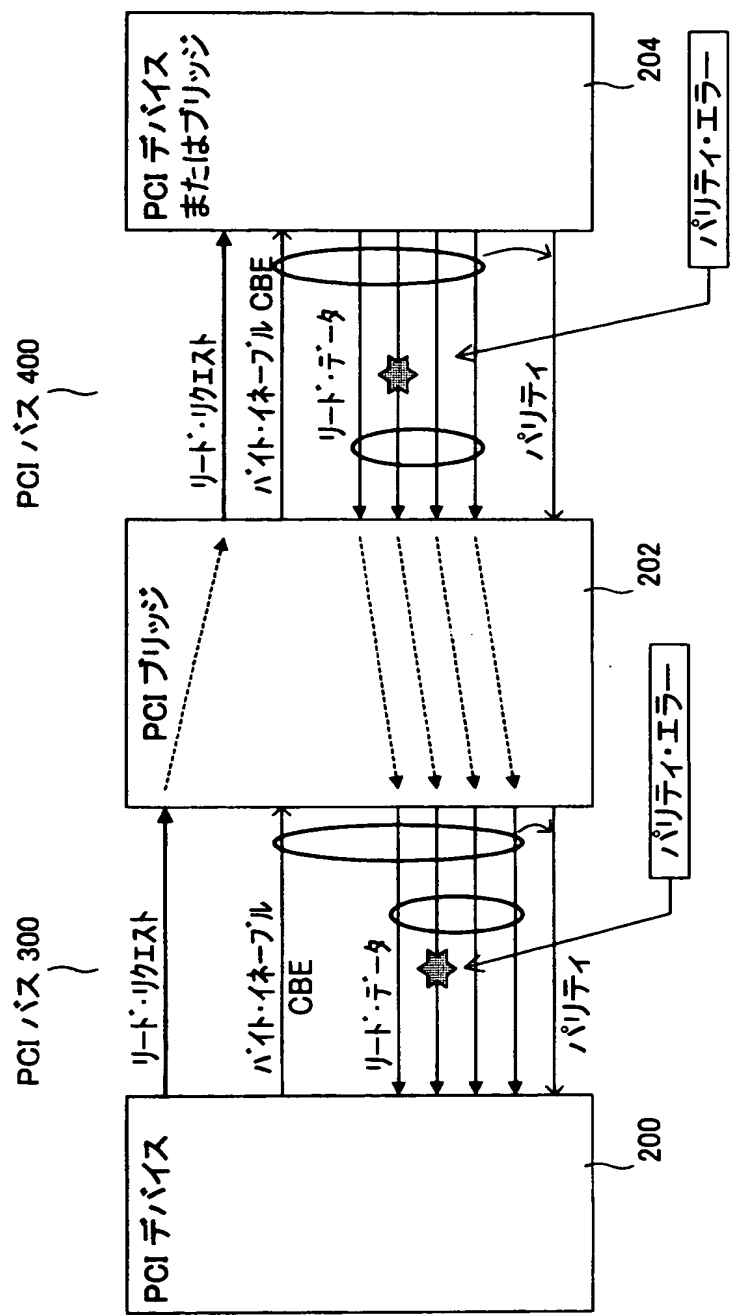
(2) パリティ・エラー時

	イニシエータ側バス	コンプリーター側バス	備考
リード・データ (AD)	0x0000_1000 (32bits)	0x0000_1000 (32bits)	コンプリーター側からイニシエータ側へそのまま伝える。
バイト・イネーブル (CBE)	1000 (4bits) (A)	0000 (4bits)	コンプリーター側は PCI ブリッジの作りにより常に全て '0'。イニシエータ側の値は予想できない。
パリティ (PAR)	1 (1bits) (C)	0 (1bits) (B)	コンプリーター側のパリティが間違った値になっている。 イニシエータ側のパリティ(C)は、イニシエータ側のバイト・イネーブル(A)とコンプリーター側のパリティ(B)の全てのビットの Exclusive OR で生成されて、間違ったパリティが伝わっている。

【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 第1と第2のバスに接続され、デバイス間のデータ転送を行うバスブリッジ回路において、第1のバスのパリティエラーを、第2のバスに正しく伝達する。

【解決手段】 第1のPCIデバイス(18)で生成されたパリティビットと、第2のPCIデバイス(8)からのバイトイネーブル信号から新たなパリティビットを生成し、第1のPCIデバイス(18)からのリードデータとともに第2のPCIデバイス(8)に転送する。このため、1次側と2次側のバスで、バイトイネーブルの値が異なっても、2次側バスのパリティエラーを正しく、1次側バスへ伝達できる。又、簡単な回路の付加で実現でき、容易に且つ低コストでかかる機能を実現できる。

【選択図】 図3

特願 2 0 0 3 - 0 0 5 2 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社

特願 2 0 0 3 - 0 0 5 2 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 3 6 1 3 6]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

石川県河北郡宇ノ気町字宇野気ヌ 9 8 番地の 2

氏 名

株式会社ピーエフユー

2. 変更年月日

2 0 0 3 年 4 月 7 日

[変更理由]

名称変更

住 所

石川県河北郡宇ノ気町字宇野気ヌ 9 8 番地の 2

氏 名

株式会社 P F U